

一种适用于三维芯片间时钟同步的全数字延时锁定环设计

叶云飞^{1,2}, 吴 宁¹, 葛 芬¹, 周 芳¹

(1 南京航空航天大学 电子信息工程学院, 江苏 南京 210016;

2 南京铁道职业技术学院 创新学院, 江苏 南京 210031)

摘 要: 本文提出了一种适用于三维集成电路芯片间时钟同步的全数字延时锁定环设计. 在给定的三维集成电路中, 该全数字延时锁定环采用可变逐次逼近寄存器控制器设计来缩短锁定时间, 以消除谐波锁定问题并拓宽工作频率范围, 实现硅过孔引起的延时偏差可容忍和垂直堆叠芯片间时钟信号同步. 整个设计采用 TSMC 65 nm CMOS 低功耗工艺实现. 仿真结果显示在工艺角最坏情况下最高工作频率是 833 MHz(SS, 125 °C, 1.08 V), 在工艺角最好情况下最低工作频率是 167 MHz(FF, -40 °C, 1.32 V), 整个工作频率范围内最长锁定时间固定为 103 个输入时钟周期, 在典型工艺角下功耗为 0.8mW@833 MHz(TT, 25 °C, 1.2 V). 版图有效核心面积为 0.018 mm².

关键词: 全数字延时锁定环; 时钟同步; 三维集成电路

中图分类号: TN4

文献标识码: A

文章编号: 1000-7180(2018)09-0052-03

Design of ADDLL for 3D-IC Die-to-Die Clock Synchronization

YE Yun-fei^{1,2}, WU Ning¹, GE Fen¹, ZHOU Fang¹

(1 College of Electrical and Information Engineering, Nanjing University of
Aeronautics and Astronautics, Nanjing 210016, China;

2 College of Innovation, Nanjing Institute of Railway Technology, Nanjing 210031, China)

Abstract: In this paper, an all-digital delay-locked loop (ADDLL) for die-to-die clock synchronization of three-dimensional integrated circuit (3D-IC) is presented. The proposed ADDLL can endure the delay variations between through silicon vias and synchronize the clock signals between vertically stacked dies of the given 3D-IC. In order to solve the harmonic lock problem and widen the operating frequency, the circuit shortened the lock process by the use of variable successive approximation register-controlled scheme. The presented ADDLL is implemented using the TSMC 65 nm CMOS low power technology, and the simulation results show that the highest operating frequency is 833 MHz at the worst case (SS, 125 °C, 1.08 V), the lowest operating frequency is 167 MHz at the best case (FF, -40 °C, 1.32 V), the longest lock time is 103 cycles of the input clock, and the power consumption is estimated to be 0.8mW@833MHz at the typical case (TT, 25 °C, 1.2 V). The area of the ADDLL per die is 0.018 mm².

Key words: all-digital delay-locked loop; clock synchronization; three-dimensional integrated circuit

1 引言

三维集成电路通过垂直堆叠芯片可以实现更高的集成度、更小的面积、更低的功耗和更高的性能^[1]. 在结构上, 芯片的垂直堆叠通过硅过孔相互连接. 由于刻蚀过程中, 会产生硅过孔的缺陷, 导致信号通过不同的硅过孔时, 所经历的延时不同, 造成电路整体

延时的增加, 从而降低了电路性能. 因此, 三维集成电路内部芯片间的时钟信号需要保持同步, 以满足电路实现最优性能的要求^[2]. 通过设置全数字延时锁定环电路通常是实现时钟信号同步的可选择方案^[3].

文献[4]提出了一种基于全数字延时锁定环的芯片间的时钟同步方案. 其首先利用远端芯片中的全数字延时锁定环, 消除向前时钟路径和反馈时钟路径

中,因通过不同的硅过孔而产生的延时偏差.然后,利用本地芯片中的全数字延时锁定环同步两个芯片中的时钟信号.但是,由于架构的固有问题,文献[4]的方案存在谐波锁定问题.谐波锁定现象会导致功耗高和输出时钟信号抖动大的问题.因此,在文献[4]的基础之上,本文采用可变逐次逼近寄存器控制方式,提出了一种无谐波锁定问题的时钟同步电路.

2 系统架构与工作原理

2.1 系统架构

改进的全数字延时锁定环的系统框图如图 1 所

示.其主要由芯片 1 中的 7 位全数字可变逐次逼近寄存器延时锁定环 DLL1、芯片 2 中的 6 位全数字计数器延时锁定环 DLL2 和一些缓冲器、计数器等构成.上延时通路由三态缓冲器组 buf_A、buf_B、数控延时线 DCDL1_u、DCDL2_u、硅过孔 1 和三态缓冲器组 buf_E 组成.下延时通路由三态缓冲器组 buf_C、buf_D、buf_F、数控延时线 DCDL1_l、DCDL2_l 和硅过孔 2 组成.芯片 1 中的时序控制器 TC1 和芯片 2 中的时序控制器 TC2 产生正确工作所需要的时序信号.

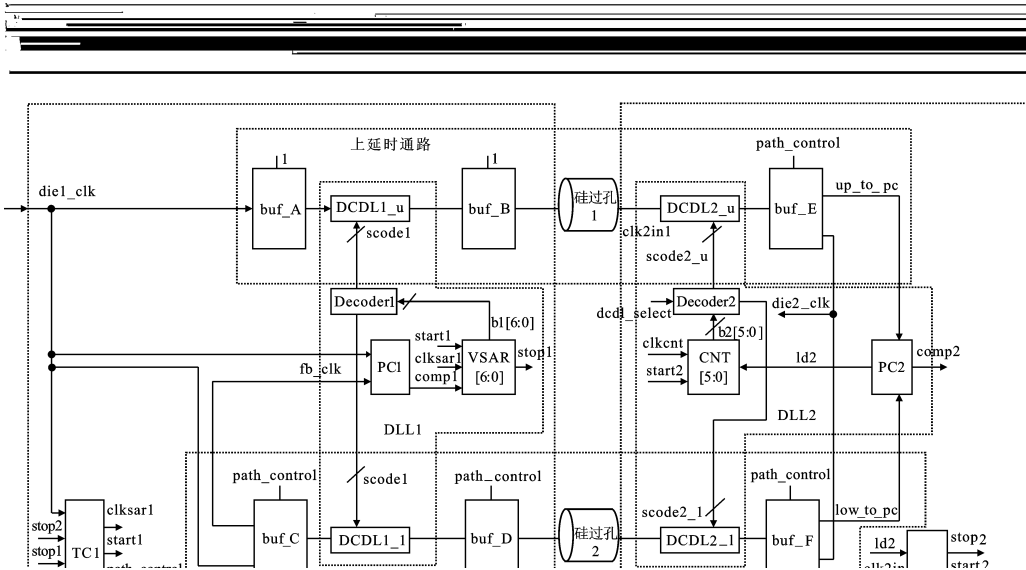


图 1 全数字延时锁定环框图

2.2 系统工作原理

系统工作过程根据如图 2 所示的工作时序,可以划分为三步.第一步,芯片 2 中的全数字计数器延时锁定环 DLL2 补偿硅过孔 1 和 2 之间的延时变化^[5].当信号 reset 为逻辑“0”时,整个全数字延时锁定环被初始化,三态缓冲器组的控制信号 path_control 被设置为逻辑“0”.系统输入时钟信号 die1_clk 同时进入上延时通路和下延时通路,分别到达芯片 2 中的相位比较器 PC2 的 up_to_pc 和 low_to_pc 端子.DLL2 用于消除由硅过孔 1 和 2 之间延时波动引起的 up_to_pc 和 low_to_pc 之间的偏差.当信号 start2 为逻辑高电平“1”时,DLL2 开始工作.当信号 ld2 被拉高为逻辑高电平“1”时,DLL2 进入锁定状态,up_to_pc 和 low_to_pc 之间的偏差被消除.

第二步为 DLL1 和 DLL2 工作状态切换.在 ld2 变为逻辑高电平“1”的两个时钟周期后,信号 path_

control 被设置为逻辑高电平“1”.系统输入时钟信号 die1_clk 进入上延时通路,到达芯片 2 中的 die2_clk,然后再通过下延时通路到达芯片 1 中相位比较器 PC1 的 fb_clk 端.

第三步为 DLL1 同步芯片 2 中的时钟信号 die2_clk 和芯片 1 中的时钟信号 die1_clk.当信号 start1 被设置为逻辑高电平“1”后,全数字可变逐次逼近寄存器延时锁定环 DLL1 按照文献[6]的工作步骤开始工作,以同步输入时钟 die1_clk 和反馈时钟 fb_clk.当信号 stop1 跳变为逻辑高电平“1”时,DLL1 进入锁定状态,die1_clk 和 fb_clk 之间的偏差被消除,此时 die1_clk 和 fb_clk 之间相差正好两个输入时钟信号 die1_clk 的周期.同时,由于上延时通路的延时、下延时通路的延时和时钟信号 die1_clk 的时钟周期三者相等,这就意味着 die2_clk 和 die1_clk 之间同步,消除了谐波锁定问题^[5].

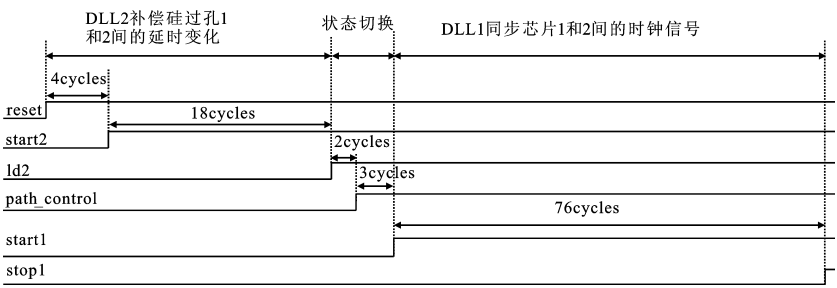


图 2 系统工作时序图

3 仿真结果

本文提出的采用可变逐次逼近寄存器控制方式的全数字延时锁定环,运用 TSMC 65 nm CMOS 低功耗工艺实现. 利用 HSPICE 仿真器进行仿真,仿真结果显示在最高工作频率是 833 MHz(SS, 125 ℃, 1.08 V),如图 3 所示后半部分, die1_clk 上升沿和 die2_clk 上升沿一致,实现无谐波锁定的时钟同步. 在工艺角最好情况下最低工作频率是 167 MHz (FF, -40 ℃, 1.32 V),整个工作频率范围内最长锁定时间固定为 103 个输入时钟周期,在典型工艺角下功耗为 0.8 mW@833 MHz(TT, 25 ℃, 1.2V).

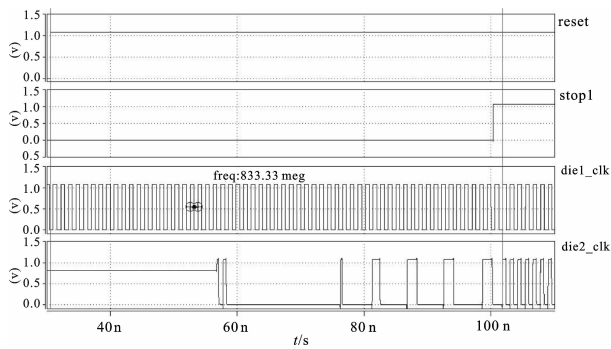


图 3 工艺角最坏情况, 125 ℃, 1.08 V 工作电压条件下的仿真结果

4 结束语

本文采用可变逐次逼近寄存器控制方式对已有工作进行改进,设计出了一种应用于三维集成电路芯片间时钟同步问题的无谐波锁定的全数字延时锁定环电路,仿真结果显示其有效工作频率范围为 167 MHz 至 833 MHz. 常温下, 1.2 V 工作电压,工作在 833 MHz 时,在典型工艺角条件下的功耗为 0.8 mW,版图有效核心面积为 0.018 mm².

参考文献:

[1] Song T, Lim S K. Die-to-Die parasitic extraction targeting face-to-face bonded 3D ICs[J]. Journal of Information & Communication Convergence Engineering, 2015, 13(3):172-179.

[2] Kim D H, Athikulwongse K, Lim S K. Study of through-silicon-via impact on the 3D stacked IC layout [J]. IEEE Transactions on Very Large Scale Integration Systems, 2013, 21(5):862-874.

[3] Wang J S, Chien Y C, Lin J H, et al. ADDLL/VDD-biasing codesign for process characterization, performance calibration, and clock synchronization in variation-tolerant designs[C]// IEEE International Conference on ASIC. Xiamen, China, IEEE, 2011:47-50.

[4] Chung C C, Hou C Y. All-digital delay-locked loop for 3D-IC die-to-die clock synchronization[C]// International Symposium on VLSI Design, Automation and Test, IEEE, Hsinchu, China, 2014:1-4.

[5] Dehng G K, Hsu J M, Yang C Y, et al. Clock-deskew buffer using a SAR-controlled delay-locked loop[J]. IEEE Journal of Solid-State Circuits, 2000, 35(8): 1128-1136.

[6] Yang R J, Liu S I. A 40-550 MHz harmonic-free all-digital delay-locked loop using a variable SAR algorithm[J]. IEEE Journal of Solid-State Circuits, 2007, 42(2):361-373.

作者简介:

叶云飞 男, (1982-), 博士研究生. 研究方向为通信与信息系统. E-mail: yunfye@nuaa.edu.cn.

吴宁 女, (1956-), 教授, 博士生导师. 研究方向为通信与信息系统.